TAKTUNG EINFACH ERKLÄRT:
Quarze vs. Oszillatoren

Schaltungsdesign mit Frequenzkomponenten ist nicht schwierig, wird jedoch häufig unterschätzt.
Im ersten Dokument dieser Reihe haben wir eine Übersicht erzeugt über die wichtigsten Quarzkristalle und Oszillatortypen sowie deren grundlegende Designparameter. In diesem Dokument stellen wir einige grundlegende technische Regeln vor, die in der Designphase zu beachten sind.

Rolle und Auswahl der Komponenten

Sowohl Quarze als auch Oszillatoren werden zur Erzeugung von Taktsignalen in elektronischen Schaltungen verwendet, erfüllen jedoch leicht unterschiedliche Aufgaben:

- Ein **Quarz** ist ein piezoelektrischer Resonator, der bei elektrischer Anregung mit einer bestimmten Frequenz schwingt. Er benötigt eine externe Schaltung, um als Oszillator zu fungieren.
- Ein **Oszillator** ist ein in sich geschlossenes Modul, das sowohl Quarz als auch die Schaltung enthält und sofort ein Taktsignal erzeugt.

Als **Faustregel** gilt:

- Verwenden Sie einen **Quarz**, wenn Sie eine kostengünstige BOM (Stückliste) benötigen, wenn Ihre Frequenz moderat ist (kHz – mehrere zehn MHz) und wenn der Stromverbrauch entscheidend ist.
- Verwenden Sie ein Oszillatormodul, wenn Sie höhere Frequenzen und eine bessere Stabilität benötigen und wenn die Platine so einfach wie möglich sein soll (keine Ladekondensatoren, keine Probleme mit dem drive level, einfaches Plug-and-Play).

Ein weiteres Kriterium für die Auswahl der richtigen Komponente ist die Schaltung, die den Takt vom Quarz benötigt:

- Wenn Ihre Platine MCUs/SoC enthält, dann kommt es bei der Quarzauslegung vor allem auf Zuverlässigkeit beim Start, Toleranz und Energiesparmodus an.
- Wenn Sie mit FPGAs/SerDes arbeiten, dann kommt es bei der Auswahl des Oszillators auf Jitter-Budget, Signalintegrität und Referenztaktgenauigkeit an.

Wichtige Design Parameter

Die Auswahl der richtigen Komponente für die Anwendung ist keine leichte Aufgabe. Es geht um mehr als nur „Frequenz = X MHz“. Die Auswahl basiert auf den technischen Anforderungen der Anwendung, den Zielkosten des Systems und letztendlich auf dem Business Case.
Mit dem primären Fokus auf den technischen Aspekt haben wir die wichtigsten Überlegungen zu den Designparametern in der folgenden Tabelle zusammengefasst.

Kategorie	Parameter	Beschreibung
Allgemein	Systemfrequenztoleranz	Budget = Initial + Temperatur + Alterung innerhalb der Systemspezifikation
Allgemein	Multi-Vendor Verfügbarkeit	Bauteil ist von mindestens zwei Anbietern verfügbar
Allgemein	Lifecycle Status	Bauteil ist nicht NRND/EOL; langfristige Verfügbarkeit gewährleistet
Allgemein	Referenzdesign	Entspricht den Empfehlungen des IC-Herstellers im Referenzdesign
Quarz	Frequenz	Nennfrequenz

Quarz	Lastkapazität (C_L)	Entspricht der Anforderung der Oszillatorschaltung (MCU-Datenblatt)
Quarz	ESR	Quarz-ESR muss unter dem maximalen Wert des IC liegen, um den Start-Up sicherzustellen
Quarz	Drive Level	Unterhalb der maximalen Antriebsleistung des Quarzes bleiben (typisch <100 µW)
Quarz	Toleranz (25 °C)	Toleranz (ppm) bei Raumtemperatur (25 °C)
Quarz	Temperaturstabilität	Frequenzabweichung über den Betriebstemperaturbereich
Quarz	Aging (Alterung)	Langzeitdrift pro Jahr (ppm)
Quarz	Startup Time	Innerhalb des MCU wake/warmup budgets
Quarz	Gehäuse & Höhe	Größe und Bauhöhe müssen zu PCB und Gehäuse passen
Quarz	Betriebstemperaturbereich	Applikationsabhängig - Consumer, industrial, automotive
Quarz	Schock/Vibrationstoleranz	Für robuste oder Automotive-Designs erforderlich
Oszillator	Frequenz	Zielfrequenz für den Referenztakt (z. B. 25, 50, 100 MHz)
Oszillator	Ausgang	CMOS, LVDS, LVPECL, HCSL, etc
Oszillator	Ausgangsspannungspegel	Prüfen, ob V_{IH}/V_{IL} oder V_{OD} zu den Logikpegeln des Empfängers passen
Oszillator	Stabilität über Temperatur (ppm)	Frequenzstabilität über den Temperaturbereich
Oszillator	Jitter/Phasenrauschen (Phase Noise)	Entspricht dem Jitter-Budget für SerDes, PCIe, Ethernet usw.
Oszillator	Startup Time	Startupzeit gemäss der Anforderungen des FPGA/PHY lock time
Oszillator	Aging (Alterung)	Frequenzdrift über die Zeit innerhalb der Spezifikation
Oszillator	Versorgungsspannung	Kompatibilität der Versorgungsspannung (1,8 V, 2,5 V, 3,3 V)
Oszillator	Stromverbrauch	Stromverbrauch des Oszillators innerhalb des Systembudgets
Oszillator	Gehäuse & Pinout	Gehäuseabmessungen und Pin-Kompatibilität
Oszillator	Betriebstemperaturbereich	Applikationsabhängig - Consumer, industrial, automotive
Oszillator	TCXO/OCXO Optionen	z.B. für GPS-/Telekommunikationspräzisionsanwendungen

Die Auswahl der richtigen Komponente ist die erste Hürde, garantiert jedoch nicht die Qualität des Designs.
Zu diesem Zweck haben wir eine einfache Checkliste mit Basisregeln zusammengestellt, die in der Designphase der Oszillatorschaltung Ihrer Anwendung berücksichtigt werden sollten. Die folgende Liste verdeutlicht auch sehr gut die Unterschiede zwischen Designs mit Quarzen und solchen mit Oszillatoren.

Checkliste Quarz- und Oszillator-Design

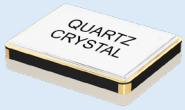
Checkpoint	MCU/SoC + Quarz	FPGA/SerDes + Oszillator	Hinweise / Empfehlungen
Überprüfung mit Referenzdesign des Herstellers	✓	✓	Immer mit den spezifischen IC-Hinweisen abgleichen
Nahe am Taktpin platzieren	✓	✓	Leitungen kurz halten; Ziel < ca. 5–10 mm
Kurze, symmetrische Leitungsführung	✓	✓	Vias vermeiden; Symmetrie ist bei Quarzen besonders wichtig
Abstand zu störungsanfälligen Signalen	✓	✓	Keine DC/DC-Schaltknoten, USB- oder DDR-Leitungen darunter oder in der Nähe
Solide Groundfläche (Massefläche) unter dem Bauteil	✓	✓	Keine geteilten Ebenen; separate GND-Vias bei Kondensatoren
Lastkondensatoren inkl. Parasitären Kapazitäten	✓	–	Pad-/Leitung/MCU-Pin-Kapazität berücksichtigen (typisch 3–5pF)

Einzelne GND-Vias für Lastkondensatoren	✓	–	Keine Daisy-chain loops
Quarz Drive level (Antriebsleistung) überprüft	✓	–	MCU-Drive < Quarz-Drive max; verhindert Alterung oder Startprobleme
Startmarge über PVT (Prozess, Spannung, Temperatur)	✓	✓	Worst-case Vmin/Tmin; Einschaltzeit laut Datenblatt prüfen
Schutzring (optional)	✓	–	Geerdete Kupferfläche um XTAL-Leitungen auf „noisy“ Platinen
Ausgangsformat stimmt mit Empfänger überein	–	✓	CMOS/LVDS/HCSL/LVPECL; check VIH/VIL oder VOD
Jitter/Phasenrauschen erfüllt Budget	–	✓	Mit Spezifikation (PCIe/Ethernet/SDI/SerDes) abgleichen
Kein unnötiges Takt-Fan-out	✓	✓	Buffer verwenden; kein T-splits außer wenn spezifiziert
Einschaltreihenfolge überprüft	✓	✓	Mit FPGA/PHY Power-on-Reset-Timing abgleichen
Entkopplung am Versorgungspin	–	✓	1 nF + 10 nF an V_{CC}; kürzeste loop
Lokale Spannungsfilterung (ferrite/RC/π)	–	✓	Verbessert Jitter; vor dem VCC-Pin platzieren
Leitungen mit kontrollierter Impedanz	–	✓	Kritisch bei >50–100 MHz oder langen Leitungen
Serien Abschlusswiderstand	–	✓	Kleiner Widerstand (20–30 Ohm) nahe XO zur Vermeidung von Überschwingen
Gehäuse-/Massepad-Verbindungen	–	✓	Mehrere Vias zu GND(Masse); reduziert EMI/Störeinflüsse
Thermische Isolation von Wärmequellen	–	✓	TCXO/OCXO-Stabilität; Abstand zu Spannungsreglern/VRMs halten

Zusammenfassung

Obwohl es keine strikte Regel dafür gibt, wann Quarze und wann Oszillatoren verwendet werden sollen, kann man anhand einer kleinen Matrix mit Vor- und Nachteilen beider Komponententypen eine Enpfehlung aussprechen.
In unserem nächsten Beitrag konzentrieren wir uns auf Design mit Quarzen und die Parameter, die dabei eine wichtige Rolle spielen.

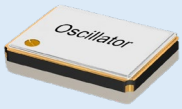
Quarz



Pros
- Preiswert
- Geringer Stromverbrauch
- Breite Verfügbarkeit bei Standardfrequenzen

Cons
- Externe Oszillatorschaltung erforderlich
- Empfindlich gegenüber PCB-Layout, Störungen und Rauschen

Oszillator



Pros
- Eigenständige Plug-and-Play-Taktquelle
- Höhere Frequenzen verfügbar
- Stabile, vorhersagbare Leistung

Cons
- Teurer als Quarze
- Höherer Stromverbrauch
- Größere Verpackungsgrößen

In unserem nächsten Beitrag konzentrieren wir uns auf Design mit Quarzen und die Parameter, die dabei eine wichtige Rolle spielen.

GEYER Electronic GmbH
info@geyer-electronic.de